

【特許請求の範囲】

【請求項1】 ドットマトリクス状に配置された液晶表示素子を表示部とする液晶表示装置のバイアス電源回路において、

バイアス抵抗、電源インピーダンスを減少させるためのオペアンプ、平滑コンデンサ、前記オペアンプの出力端子と信号電極駆動回路及び走査電極駆動回路への接続をバイアス電源印加信号により切断と、前記オペアンプへの電源供給を停止するためのゲート回路から構成し、表示品質に影響を与えない範囲で液晶表示装置の操作待機待ちや、前記平滑コンデンサのみでバイアス電圧を供給出来る定常電流期間は前記オペアンプ電源を切り省電力化を計ったバイアス電源回路。

【請求項2】 前記バイアス電源印可信号が非アクティブの時に、オペアンプの電源供給とバイアス抵抗へのバイアス電流を停止したことを特徴とする請求項1に記載のバイアス電源回路。

【請求項3】 前記バイアス電源印可信号の非アクティブの期間を液晶交流化信号の遷移時点の前後をマスクするように設定したことを特徴とする請求項1記載のバイアス電源回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、ドットマトリクス状に配置された液晶表示素子を表示部とする液晶表示装置の省電力化を計ったバイアス電源回路に関する。

【0002】

【従来の技術】まず、従来のバイアス電源回路の構成を説明する。図2は、一般的な液晶表示装置の構成を示すブロック図である。液晶電源Gは、液晶パネルFを駆動するために必要とするの一番高い電圧で有りバイアス抵抗Aの両端に供給する。バイアス抵抗Aは液晶パネルFを駆動するためのバイアス比を抵抗分割で決める。バイアス電圧は平滑コンデンサCをとうして信号電極駆動回路D、走査電極駆動回路Eに行き液晶パネルFを駆動表示する。ここで液晶パネルFの画質は抵抗分割で作られた液晶駆動電圧は液晶パネルFの等価静電容量と透明電極抵抗値とバイアス抵抗Aによりバイアス波形が歪み、劣化する。これを防ぐため、一般にボルテージフォロワー回路Bでバイアス抵抗Aの電源インピーダンスを下げる。ボルテージフォロワー回路Bの各バイアス電圧は平滑コンデンサCで安定化される。さらにボルテージフォロワー回路Bと平滑コンデンサCの役目は以下のとおりである。各バイアス電圧に流れる電流は直流成分とパルス電流とに分かれ、通常直流成分は液晶素子のリーク電流で小さいが、パルス電流は液晶素子の等価静電容量と透明電極抵抗、駆動回路の構成、バイアス抵抗A等の値で決まり液晶パネルFの交流化信号に同期して短時間に大きなピーク電流値を示す。このパルス電流に依るバイアス電圧変動を防止している。

【0003】

【発明が解決しようとする課題】図2の従来のバイアス電源回路のバイアス抵抗Aとボルテージフォロワー回路Bには液晶電源Gをとうして液晶表示装置の操作待機待ちや、平滑コンデンサのみでバイアス電圧を供給出来る定常電流期間においても電流が流れており、液晶表示装置の省電力効果が得られない。

【0004】本発明は、このような課題を解決するために創案したものでバイアス電源回路の電力消費を抑えることのできる液晶表示装置を提供することを目的としている。

【0005】

【課題を解決するための手段】上記問題を解決するためにこの発明は、液晶表示装置の操作待機待ちや、平滑コンデンサのみでバイアス電圧を供給出来る定常電流期間においてバイアス電源回路の無効な電流を削減するようにしたもので従来のバイアス電源回路にわずかな部品を追加して省電力効果を得られる様にしたことを特徴とする。

【0006】上記のように構成されたバイアス電源回路においては、図1から分かるように従来技術のバイアス電源回路にわずかな部品を追加したのみで液晶表示装置の省電力効果を得られる。

【0007】

【発明の実施の形態】以下、本発明の実施例について図面に基づき説明する。図1のバイアス電源回路のMOSトランジスタG1～G6が、本発明に関わる液晶表示装置のバイアス電源回路の無効な電流を削減するようにしたスイッチ素子である。

【0008】

【実施例】ここで、本発明によるの液晶表示装置のバイアス電源回路の具体的実施例を説明する。図1はドットマトリクス状に配置された液晶表示素子を表示部とする液晶表示装置のバイアス電源回路で、液晶表示素子をSA駆動（スマートアドレッシング駆動以下SA駆動）により駆動表示するときのバイアス電源回路を1例として説明する。SA駆動には周知のように液晶駆動の共通電圧に相当する信号電極駆動回路の第二の正電圧Mとこの共通電圧の上下にそれぞれ信号電極駆動回路の第一の正電圧V0と信号電極駆動回路の第三の正電圧V1を信号電極駆動回路に供給し、正の液晶高電圧である走査電極駆動回路の正電圧VHと負の液晶低電圧である走査電極駆動回路の負電圧VLを走査電極駆動回路に供給する必要がある。

【0009】液晶駆動高電圧VHIと液晶駆動低電圧VLIは外部回路より供給されているとします。液晶駆動高電圧VHIと液晶駆動低電圧VLIはそれぞれバイアス電源回路1のバイアス抵抗R1～R4にとオペアンプ回路OP1のV+電源端子に供給される。オペアンプ回路OP1は図1から明らかなようにボルテージフォロワー回路

に構成されておりインピーダンス変換作用をする。バイアス抵抗R1～R4は液晶パネル4をSA駆動するためにバイアス電圧を決める。バイアス抵抗R1～R4で分割生成されたバイアス電圧はオペアンプ回路OP1とより出力O1、O2、O3を得る。出力O1、O2、O3はスイッチ素子であるMOSトランジスタG2、G3、G4をとうして平滑コンデンサC2、C3、C4でバイアス電圧を安定化し信号電極駆動回路の第一の正電圧V0、信号電極駆動回路の第二の正電圧M、信号電極駆動回路の第三の正電圧V1を得て信号電極駆動回路2に低圧側のバイアス電圧として供給する。液晶駆動高電圧VHIと液晶駆動低電圧VLIも同様に、MOSトランジスタG1、G5と平滑コンデンサC1、C5を経由して走査電極駆動回路3に高圧側のバイアス電圧として供給する。

【0010】ここでバイアス電源回路1の省電力化を考える。バイアス抵抗R1～R4とオペアンプ回路OP1のV+電源端子、V-電源端子に常時液晶パネル4の表示に無関係に電流が流れていることが分かる。この電流は通常の表示時のみならず表示装置の操作待機待ち時においても流れている。液晶表示装置の操作待機待ち時は表示部は画面全体の一部で有り、しかも液晶パネル4の駆動デューティを低くし駆動電圧が低く画面もダイナミックに動かず静止画が普通であるため液晶パネル4に流れる電流は通常表示より極端に小さな値である。また通常表示も細かく観察すると以下のようなものである。すなわち各バイアス電圧に流れる電流は直流成分とパルス電流とに分かれ、通常直流成分は液晶素子のリーク電流成分で小さいが、パルス電流は液晶素子の等価静電容量と透明電極抵抗、駆動回路の構成、バイアス抵抗A等の値で決まり液晶パネル4の交流化信号に同期して短期間に大きなピーク電流値を示す。従ってオペアンプ回路OP1電源端子V+、V-と液晶駆動高電圧VHIと液晶駆動低電圧VLIに流れる電流は短期間に大きなピーク電流と小さなリーク電流成分にバイアス抵抗R1～R4とオペアンプ回路OP1の無効電流が加算されて流れていることになり、この内小さなリーク電流成分が流れている時に、バイアス抵抗R1～R4とオペアンプ回路OP1の無効電流を止め、小さなリーク電流をコンデンサに蓄えられた電荷で補えばバイアス電源回路1の省電力化が計れることになる。

【0011】バイアス電源回路1のバイアス抵抗R4の片端とオペアンプ回路OP1のV-電源端子をつなぎ、MOSトランジスタG6をとうして、GND電位につなぎ、M

OSTランジスタG1を液晶駆動高電圧VHIに、MOSトランジスタG2を信号電極駆動回路の第一の正電圧V0、MOSトランジスタG3を信号電極駆動回路の第二の正電圧M、MOSトランジスタG4を信号電極駆動回路の第三の正電圧V1、MOSトランジスタG5を走査電極駆動回路の負電圧に直列に挿入し、バイアス電源印可信号PONに液晶表示装置の操作待機待ちと液晶パネル4の交流化信号に同期して交流化信号の前後のある一定期間、バイアス電圧を供給停止する様な信号レベルを与えれば、バイアス電源回路1のバイアス抵抗R1～R4とオペアンプ回路OP1の無効電流を止める事が出来る。MOSトランジスタG1～G6はスイッチ素子で有ればよく特に限定されない。

【0012】平滑コンデンサCは 小さなリーク電流をコンデンサに蓄えられた電荷で補えればよく特別大きな静電容量を必要としない。このように回路はMOSトランジスタのみで簡単に構成出来、コストアップは殆ど問題とならずに液晶表示装置の省電力が出来る。

【0013】

【発明の効果】以上のように本発明によれば、簡単な回路をバイアス回路に付加するだけでコストアップは殆ど問題とならない液晶表示装置の省電力が出来る。

【図面の簡単な説明】

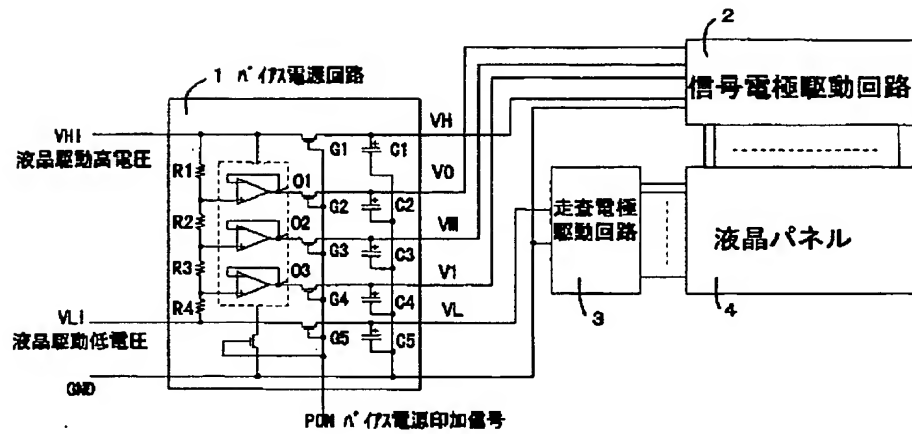
【図1】本発明のバイアス回路を使用した液晶表示装置に関わる図である。

【図2】一般的なバイアス回路を使用した液晶表示装置の構成を示すブロック図。

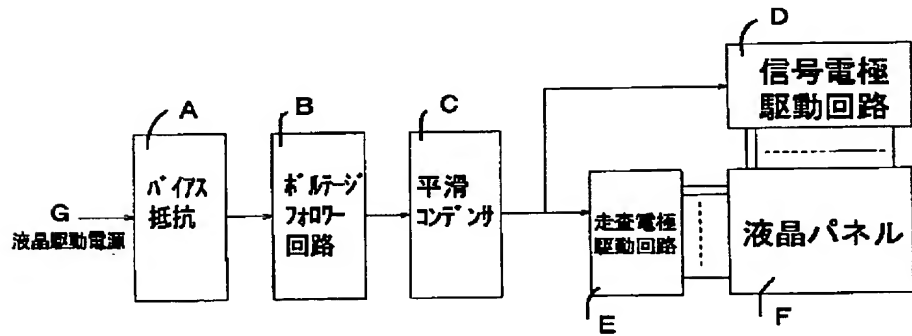
【符号の説明】

- | | |
|-------|-----------------|
| 1 | バイアス電源回路 |
| 2 | 信号電極駆動回路 |
| 3 | 走査電極駆動回路 |
| 4 | 液晶パネル |
| C1～C5 | 平滑コンデンサ |
| G1～G6 | MOSトランジスタ |
| R1～R4 | バイアス抵抗 |
| OP1 | オペアンプ回路 |
| V0 | 信号電極駆動回路の第一の正電圧 |
| M | 信号電極駆動回路の第二の正電圧 |
| V1 | 信号電極駆動回路の第三の正電圧 |
| VH | 走査電極駆動回路の正電圧 |
| VL | 走査電極駆動回路の負電圧 |
| VHI | 液晶駆動高電圧 |
| VLI | 液晶駆動低電圧 |
| PON | バイアス電源印可信号 |

【図 1】



【図 2】



フロントページの続き

F ターム(参考) 2H093 NA07 NA34 NB09 NB13 NC04
 NC21 ND39
 5C006 AC26 BB11 BF25 BF34 BF37
 BF43 FA47
 5C080 AA10 BB05 DD26 FF03 FF09
 JJ02 JJ03
 5H410 CC02 CC05 DD02 DD05 EA11
 EA12 EA37 GG05

CIRCUIT FOR BIAS POWER SUPPLY

Patent Number: JP2000250494
Publication date: 2000-09-14
Inventor(s): YOKOYAMA KOZO
Applicant(s):: SEIKO INSTRUMENTS INC
Requested Patent: ☐ JP2000250494 (JP00250494)
Application Number: JP19990054608 19990302
Priority Number(s):
IPC Classification: G09G3/36 ; G02F1/133 ; G05F1/00 ; G09G3/20
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce the power consumption of a liquid crystal display device.
SOLUTION: In the bias power supply circuit 1 of a liquid crystal display device 4 making the liquid crystal display elements arranged in a dot matrix shape a display part, the device is to be driven with saved electric power by stopping ineffective currents flowing through bias resistors and power sources of operational amplifiers at the standby queue of the operation of the liquid crystal display device and at the time of the stationary current of the device while inserting MOS transistors G1 to G5 between bias resistors R1 to R4, power source terminals of operational amplifiers and smoothing capacitors C1 to C5.

Data supplied from the esp@cenet database - I2